

WEST

Generate Collection

Print

L5: Entry 1 of 1

File: JPAB

Nov 5, 1986

PUB-NO: JP361248540A
DOCUMENT-IDENTIFIER: JP 61248540 A
TITLE: INPUT PROTECTIVE DEVICE

PUBN-DATE: November 5, 1986

INVENTOR-INFORMATION:

NAME

COUNTRY

YASUDA, KENICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP60091446

APPL-DATE: April 26, 1985

US-CL-CURRENT: 257/532; 257/756
INT-CL (IPC): H01L 23/56; H01L 23/48

ABSTRACT:

PURPOSE: To obtain an input protective device by a method wherein one layer of the conductive layers is connected to the semiconductor substrate and a capacity is formed between the one layer and the electrode.

CONSTITUTION: A thin SiO₂ film 3a is provided on both of an Si substrate 1 and an SiO₂ film 2, a penetrating hole 3b is bored and a connecting part 8a is formed at the same time when a doped polycrystalline Si layer 4 is deposited. According to this constitution, an abrupt change in the input signal to an electrode 6 is absorbed by the capacity to be formed between the electrode 6 and the polycrystalline Si layer 4. Hereby the resistance of the device to surge pulse is improved. Moreover, this device is advantageous in its layout as well because the part under the pad electrode 6 is utilized. Furthermore, in case a second polycrystalline Si layer 5 is connected with the substrate 1, this device has the similar effect.

COPYRIGHT: (C) 1986, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A)

昭61-248540

⑫ Int.Cl.⁴

H 01 L 23/56
23/48

識別記号

庁内整理番号

6732-5F
6732-5F

⑭ 公開 昭和61年(1986)11月5日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 入力保護装置

⑯ 特 願 昭60-91446

⑰ 出 願 昭60(1985)4月26日

⑱ 発 明 者 安 田 憲 一 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

入力保護装置

2. 特許請求の範囲

(1) 半導体基板上に相互に絶縁層によつて絶縁された少なくとも一層の導電層を形成し、その上にさらに絶縁層を介して外部ピンおよび内部回路に接続される電極を形成してなる入力保護装置において、導電層の少なくとも一層を半導体基板上に接続し当該導電層と電極との間にコンデンサを形成したことを特徴とする入力保護装置。

(2) 導電層がポリシリコンからなることを特徴とする特許請求の範囲第1項記載の入力保護装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置の入力保護装置に関するものである。

〔従来の技術〕

第3図は、従来の半導体装置における入力パッド部分を示す断面図であり、図中1は半導体基板、

2は酸化膜、3はベツシベーション膜としての絶縁膜、4は導電性の第1ポリシリコン層、5は同じく導電性の第2ポリシリコン層である。また6はアルミニウム電極であり、リード線7を通じて図示しない外部ピンと接続され、さらに内部回路へも接続されている。

上記構成において、外部ピンに入力された信号は、リード線7を介して電極6に到達し、さらに電極6に接続された内部回路接続用導電層を通じて内部回路に到達する。ポリシリコン層4、5および酸化膜2は、電極6にリード線7をボンディングする際に緩衝層の役割りを果たす。また、リード線7を電極6にボンディングする際に、万一電極6をつきぬけてしまうことがあつても、ポリシリコン層4、5あるいは酸化膜2によつてさえぎられるため、電極6と基板1とがショートすることはない。

〔発明が解決しようとする問題点〕

しかしながら、このような従来の装置では、電気的には入力信号が直接に内部回路へ入力される

こととなるため、入力信号が急激に変化すると内部回路が破壊されるおそれがあり、そのために電極8と内部回路との間に別に保護回路を設ける必要があつた。

この発明は上記のような問題点を解決するためになされたもので、その目的は、外部入力信号の急激な変化を吸収し、内部入力保護回路の負担を軽くすることのできる入力保護装置を提供することにある。

〔問題点を解決するための手段〕

この発明による入力保護装置は、電極の下に形成された導電層を基板と接続し、電極・導電層間にコンデンサを形成したものである。

〔作用〕

電極・導電層間に形成されるコンデンサが入力信号の急激な変化を吸収するため、内部回路へ伝わる入力信号の変化は少なくなる。

〔実施例〕

第1図はこの発明の一実施例を示す断面図である。同図において、第3図と対応部分は同一記号

4を基板1と接続した例を示したが、第2ポリシリコン層5と基板1とを接続しても同様の効果が得られる。

第2図はこの発明の他の実施例を示す断面図であり、第2ポリシリコン層5を接続部8bにより基板1に接続し、さらに電極8と第1ポリシリコン層4とを接続部8cにより接続したものである。本構成を形成するには、例えば薄い絶縁膜3aを形成してエッチングにより穴をあけた後、この穴内および絶縁膜3a上に不純物をドーブしたポリシリコンをデポジションして接続部8bの下部と第1ポリシリコン層4とを形成し、同様に絶縁膜3bを形成して2個の穴をあけた後接続部8bの上部および接続部8cの下部と第2ポリシリコン層5とを形成し、さらに絶縁膜3cを形成して穴をあけた後、この穴内および絶縁膜3c上にアルミニウムをデポジションすることにより接続部8cの上部および電極8を形成する。このような構成にすることによりさらに大きな容量値のコンデンサが得られ、入力保護能力を一層高めることがで

を用いて示してあるが本実施例では、第1ポリシリコン層4は、接続部8aを介してシリコンからなる半導体基板1に接続されている。この接続部8aは、基板1およびシリコン酸化膜2の上に薄い絶縁膜3aを形成後、この絶縁膜3aにエッチングにより基板1に通ずる穴3bを形成し、この穴および第1ポリシリコン層4を形成すべき領域の絶縁膜3a上に不純物をドーブしたポリシリコンをデポジションすることにより、第1ポリシリコン層4と同時に形成される。

このように構成された入力保護装置においては、電極8と第1ポリシリコン層4との間に形成されるコンデンサによつて電極8に与えられる入力信号の急激な変化を吸収できるため、内部入力保護回路にかかる負担を軽減することができ、静電気によるサージパルスに対する耐性の向上を図ることができる。また、コンデンサを構成するのにパッドの電極8の下を使用しているため、新たな面積を必要とせず、レイアウト上も有利である。

なお、上述した実施例では第1ポリシリコン層

きる。

なお、上述した各実施例では、導電層材料としてポリシリコンを使用した例を説明したが、その他の導電性材料を使用した場合も同様の効果が得られる。

また、導電層は2層に限らず、1層、または3層以上の場合にも本発明は同様に適用できる。

〔発明の効果〕

以上説明したように、この発明によれば、電極下の導電層を基板と接続してコンデンサを形成したことにより、レイアウト上新たな面積を必要とすることもなく、サージ耐圧の向上を図ることができる効果がある。

4. 図面の簡単な説明

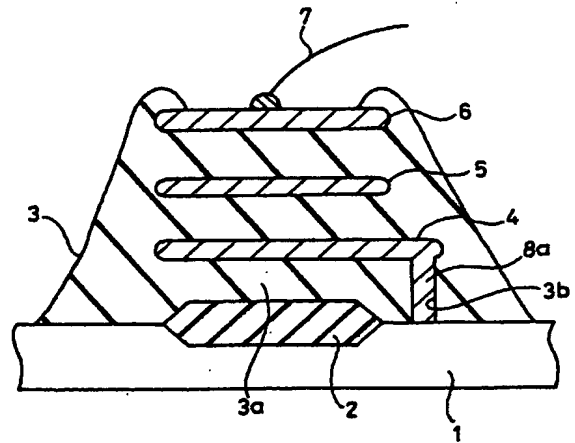
第1図はこの発明の一実施例を示す断面図、第2図はこの発明の他の実施例を示す断面図、第3図は従来例を示す断面図である。

1・・・半導体基板、2・・・酸化膜、3、3a、3b、3c・・・絶縁膜、4、5・・・ポリシリコン層（導電層）、6・・・アルミニ

カム電極、7・・・リード線、8a,8b,8c・・・接続部。

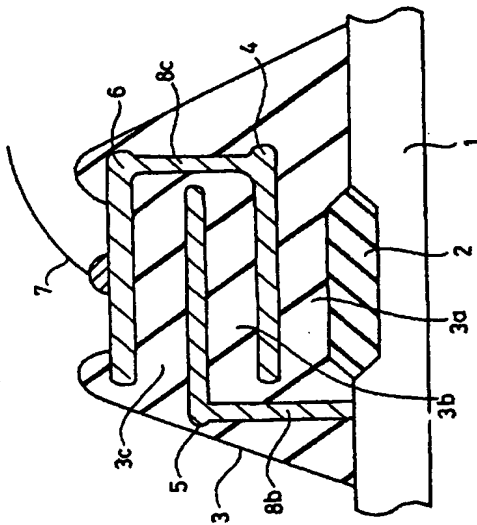
代理人 大 岩 増 雄

第 1 図



1: 半導体基板
3, 3a: 絶縁膜
4, 5: ポリシリコン層
6: アルミニウム電極
8a: 接続部

第 2 図



第 3 図

